

STRUCTURI LOGICE SECVENȚIALE

1. Obiective

Prin parcurgerea acestei ședințe de laborator studenții vor fi capabili:

- Să definească noțiunea de circuit logic secvențial;
- Să sintetizeze ecuațiile bistabilelor R-S, D, T, J-K;
- Să explice modul de funcționare al bistabilelor R-S, D, T, J-K.

2. Circuite logice secvențiale

Schema generală a unui circuit logic secvențial CLS este prezentată în figura de mai jos. Circuitul are n intrări $x_0, x_1, \dots, x_{n-1}$ și m ieșiri $y_0, y_1, \dots, y_{m-1}$. Pe lângă o parte de logică combinațională, circuitul dispune de un set de elemente de memorare ce conțin informații referitoare la starea circuitului. De aceea, ieșirile depind atât de intrări, cât și de starea memorată a circuitului.

Figura 1. Schema bloc a unui circuit secvențial

Timpul apare ca variabilă implicită în funcționarea circuitelor secvențiale. Întrucât la astfel de circuite, starea următoare depinde de starea precedentă, se spune că în fiecare moment circuitul are memorie. Rezultă că în funcționarea sa, un circuit secvențial trebuie să fie înzestrat cu o bază de timp, care să servească drept referință în ceea ce privește momentul aplicării semnalelor de intrare sau în momentul citirii semnalelor de ieșire.

Modelul matematic al unui CLS pentru un anumit moment de timp t este definit de două seturi de ecuații care reflectă tranziția stărilor și a ieșirilor și care pot fi grupate în cvadruplul $CLS = (X, Y, Q, f, g)$, unde:

- X – mulțimea variabilelor binare de intrare;
- Y – mulțimea variabilelor binare de ieșire;
- Q – mulțimea variabilelor binare de stare;

- f – funcții de tranziție a stărilor;
- g – funcții de tranziție a ieșirilor.

Din punctul de vedere al relației temporale de producere a evenimentelor în CLS (schimbări în starea circuitului sau a ieșirilor), aceste circuite se împart în două categorii:

- **Circuite asincrone** – sunt circuitele pentru care momentele în care se produc evenimentele sunt oarecare;
- **Circuite sincrone** – sunt circuitele pentru care evenimentele sunt produse la anumite momente discrete, bine precizate în timp, pe baza unui semnal de ceas. Chiar dacă introducerea semnalului de sincronizare scade viteza unui CLS, se obține însă avantajul unei funcționări mai stabile.

Față de circuitele combinaționale, proiectarea CLS, mai ales a celor sincrone este laborioasă. Funcționarea unui CLS poate fi descrisă printr-un graf orientat, în care fiecare nod reprezintă tranziția dintr-o stare în alta. Pe fiecare arc de cerc se scriu valorile semnalelor de intrare/ieșire corespunzătoare tranziției.

Fie circuitul de mai jos:

Figura 2. Graful unui CLS cu două stări

Pentru acest circuit se pot calcula:

- Funcțiile stării următoare: pe baza stării curente și a semnalelor de intrare, se calculează starea următoare;
- Funcțiile ieșirilor: pe baza stării curente și a semnalelor de intrare se calculează semnalele de ieșire din circuitul secvențial.

Dintre cele mai importante circuite secvențiale amintim circuitele basculante bistabile, memoriile, numărătoarele și registrele. Un circuit basculant bistabil implementează un element de memorie care păstrează un bit de informație.

3. Bistabilul RS asincron

Acest circuit este format din două porți NAND, fiecare având ca una din intrări ieșirea celeilalte. Intrările notate cu R(Reset) și S(Set) sunt active pe "0", iar ieșirea Q , respectiv $\bar{Q}$, poate lua una din două valori logice stabile (1/0 sau 0/1). Q_{t+1} reprezintă starea ieșirii Q la momentul următor, față de momentul curent t . Combinația 00 la intrare nu respectă definiția unui bistabil în care cele două ieșiri sunt complementare și de aceea este o combinație invalidă. Combinația 11 la intrare nu impune o stare anume ci păstrează starea anterioară astfel încât ieșirile reprezintă o nedeterminare față de intrare.

Figura 3. Bistabilul RS sincron

Tabelul de adevăr care descrie funcționarea bistabilului este:

$\bar{S}$	$\bar{R}$	Q_{t+1}	$\bar{Q}_{t+1}$	
0	0	1	1	Combinație invalidă
0	1	1	0	
1	0	0	1	
1	1	Q_t	$\bar{Q}_t$	Stare de nedeterminare

4. Bistabilul RS sincron

Spre deosebire de bistabilul RS asincron la bistabilul RS sincron pentru controlul comutării stării se utilizează un semnal de sincronizare care este denumit semnal de ceas sau semnal de tact (T). Acesta este un tren de impulsuri care se succed cu o perioadă T și sunt obținute de la un oscilator, care marchează timpul prin impulsuri de tact.

La bistabilul RS sincron, starea curentă (momentul t) este considerată Q_t , cea dinaintea impulsului de ceas, iar starea următoare (momentul $t+1$) este considerată Q_{t+1} , cea care rezultă după impulsul de tact. Acest bistabil comută pe frontul pozitiv (crescător) sau pe palierul impulsului de tact. Intrările R și S sunt active pe 1 logic.

Figura 4. Bistabilul RS sincron

În momentul dinaintea frontului pozitiv, care produce comutarea, intrările R, S nu trebuie să își schimbe valorile un timp (numit set-up), iar după front informația de intrare trebuie să fie păstrată un timp de menținere (hold-time) de circa 5ns. Funcționarea bistabilului este descrisă de tabelul de adevăr:

T	R	S	Q_{t+1}	$\overline{Q_{t+1}}$
1	0	0	Q_t	$\overline{Q_t}$
1	0	1	0	1
1	1	0	1	0
1	1	1	nedeterminare	
0	x	x	Q_t	$\overline{Q_t}$

5. Bistabilul D

Bistabilul D (Delay) elimină starea de nedeterminare a bistabilului RS sincron în care $S=R=1$. Bistabilul D transferă intrarea D sincron cu impulsul de tact T

Figura 5. Bistabilul D

Tabelul de adevăr care descrie funcționarea acestui bistabil este următorul:

T	D	Q_{t+1}	$\overline{Q_{t+1}}$
0	0	Q_t	$\overline{Q_t}$
0	1	Q_t	$\overline{Q_t}$
1	0	0	1
1	1	1	0

6. Bistabilul T

Acest bistabil are proprietatea că schimbă starea la fiecare impuls de tact, dacă intrarea A este 1 logic. Dacă $A=0$, starea bistabilului rămâne neschimbată.

Figura 6. Bistabilul T

Tabelul de adevăr care descrie funcționarea acestui bistabil este următorul:

T	A	Q_{t+1}	$\overline{Q_{t+1}}$
0	x	Q_t	$\overline{Q_t}$
1	0	Q_t	$\overline{Q_t}$
1	1	$\overline{Q_t}$	Q_t

7. Bistabilul J-K

Acest bistabil elimină nedeterminarea existentă la bistabilul RS, având următorul tabel de adevăr:

J	K	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	$\overline{Q_t}$

Un bistabil J-K se poate obține dintr-un bistabil RS, făcând $S = JQ$ și $R = K \cdot \overline{Q}$.

8. Aplicații ale structurilor logice secvențiale

8.1. Asdf

8.2. Asfdf

9. Referințe bibliografice

[1] V.Manta, F.Ungureanu, "Introducere în știința sistemelor și a calculatoarelor", Editura Gh.Asachi, Iași, 2002.

[2] A.Valachi, F.Hoza, V.Onofrei, R.Silion, "Analiza, sinteza și testarea dispozitivelor numerice", Editura Nord-Est, 1993.

[3]

