

PORTI LOGICE. LOGICA CMOS.

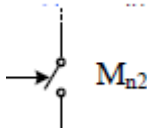
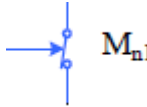
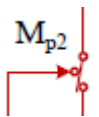
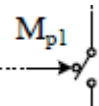
1. Obiective

Prin parcurgerea acestei ședințe de laborator studenții vor fi capabili:

- Să privească tranzistoarele NMOS și PMOS ca și comutatoare comandate;
- Să implementeze porțile NOT, NAND și NOR folosind tranzistoare.

2. Introducere

Porțile logice CMOS implementează funcții logice folosind tranzistoare complementare NMOS și PMOS. Tranzistorul NMOS poate fi privit ca și un comutator comandat în logică directă, iar tranzistorul PMOS poate fi privit ca și un comutator comandat în logică complementară, conform tabelului de adevăr:

Tranzistorul	Comanda	Model echivalent	
NMOS	0	Comutator deschis	
	1	Comutator închis	
PMOS	0	Comutator închis	
	1	Comutator deschis	

Se păstrează formalismul de reprezentare al nivelelor logice:

- **1 logic** → nivel de tensiune **HIGH**, se obține printr-un scurt-circuit la **VCC**,
- **0 logic** → nivel de tensiune **LOW**, se obține printr-un scurt-circuit la **GND**.

Se disting două moduri de conectare a două comutatoare:

- **conexiune serie** → se echivalează cu un scurtcircuit când ambele comutatoare sunt închise. **Conexiunea serie implementează funcția ȘI.**
- **conexiune paralel** → se echivalează cu un scurtcircuit când cel puțin unul dintre comutatoare este închis. **Conexiunea paralel implementează funcția SAU.**

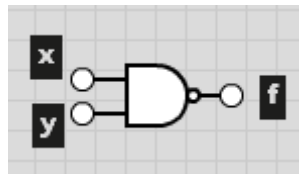
Pentru **comutatoare complementare**, **conexiunea serie implementează funcția SAU** iar **conexiunea paralel implementează funcția ȘI**.

3. Poarta NAND cu două intrări

Poarta NAND implementează funcția logică ȘI NEGAT:

x	y	f
0	0	1
0	1	1
1	0	1
1	1	0

și este reprezentată cu simbolul:



Implementarea porții NAND2 se realizează în felul următor:

- Pentru a obține $f = 1$ → sunt necesare căi alternative spre **VDD**, comandate în conducție de către a sau b în 0 logic → **tranzistoare PMOS paralel**
- $f = 0$ → este necesară o singură cale spre **GND**, comandată în conducție de către a și b în 1 logic → **tranzistoare NMOS serie**

Schema electrică a porții NAND cu două intrări este:

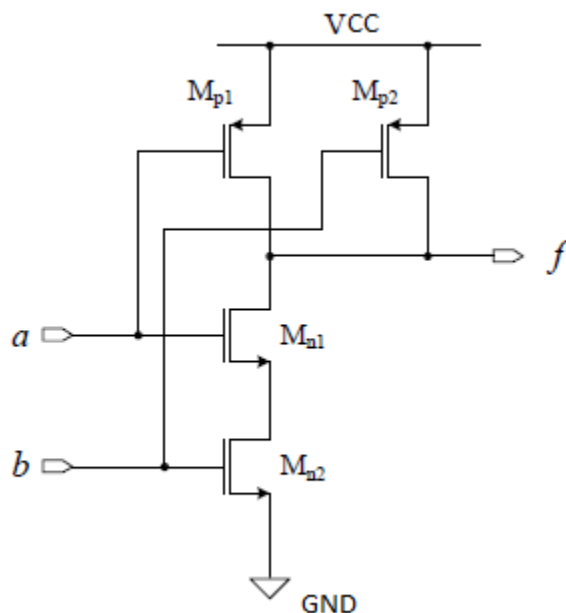


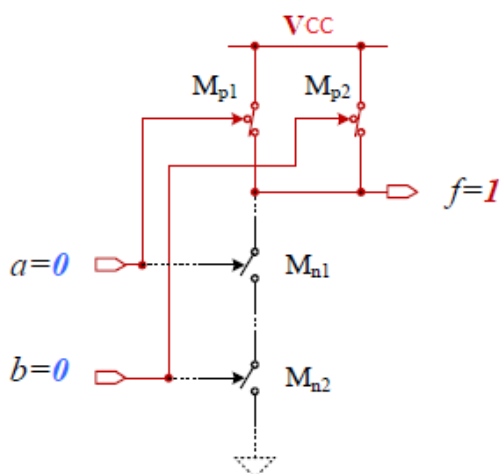
Figura 1. Schema electrică a porții NAND cu 2 intrări

Funcționarea porții NAND, în funcție de starea tranzistoarelor din figura de mai sus, este descrisă în tabelul de adevăr:

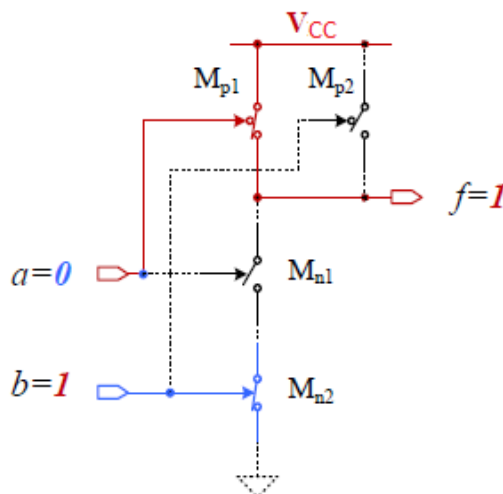
a	b	M_{p1}	M_{p2}	M_{n1}	M_{n2}	$f = \overline{ab}$
0	0	on	on	off	off	1
0	1	on	off	off	on	1
1	0	off	on	on	off	1
1	1	off	off	on	on	0

Cele patru scheme echivalente de funcționare sunt:

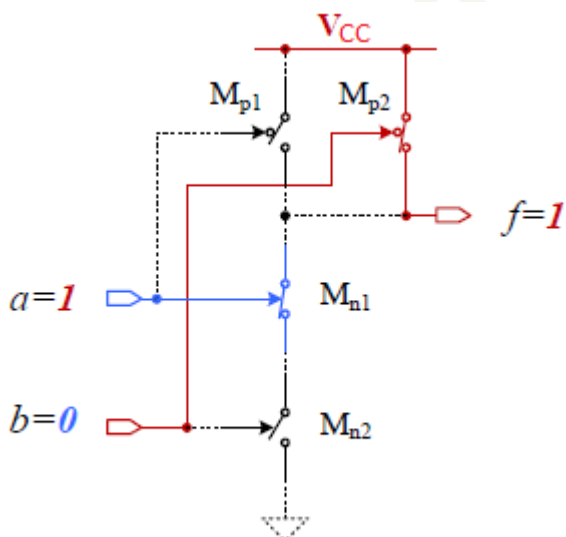
Cazul 1. $a = 0, b = 0$



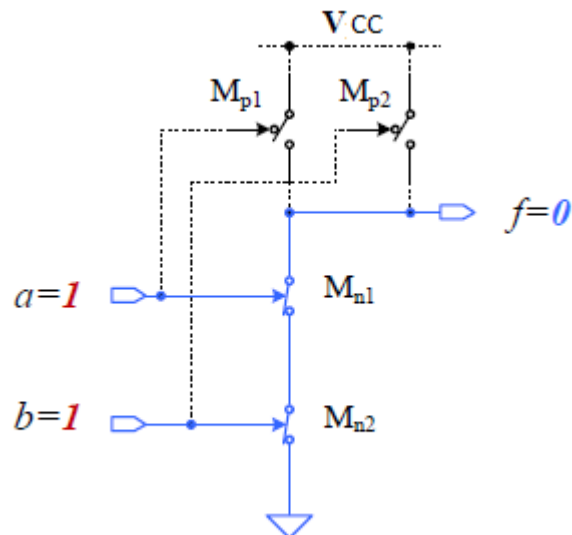
Cazul 2. $a = 0, b = 1$



Cazul 3. $a = 1, b = 0$



Cazul 4. $a = 1, b = 1$

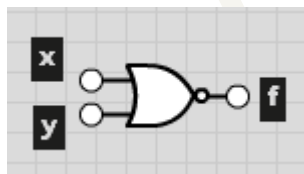


4. Poarta NOR cu două intrări

Poarta NOR implementează funcția logică SAU NEGAT descrisă prin tabelul de adevăr:

x	y	f
0	0	1
0	1	0
1	0	0
1	1	0

și este reprezentată cu simbolul:



Implementarea porții NOR se realizează în felul următor:

- Pentru $f = 1 \rightarrow$ este necesară o singură cale spre **VCC**, comandată în conducție de către a și b în 1 logic $\rightarrow$ **tranzistoare PMOS serie**;
- Pentru $f = 0 \rightarrow$ sunt necesare căi alternative spre **GND**, comandate în conducție de către a sau b în 0 logic $\rightarrow$ **tranzistoare NMOS paralel**.

Schema electrică a porții NOR este următoarea:

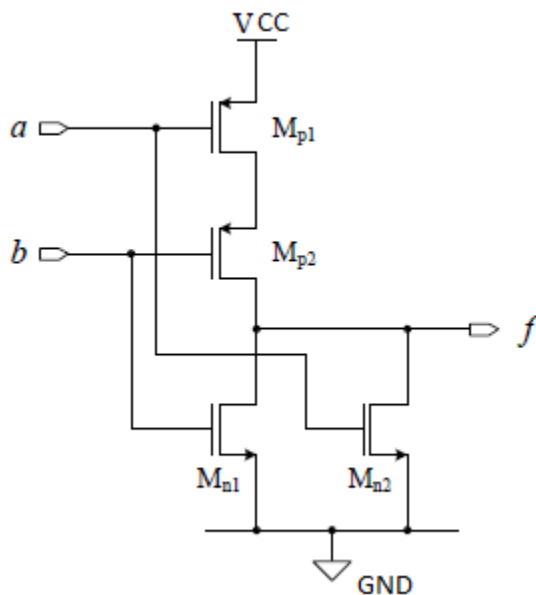


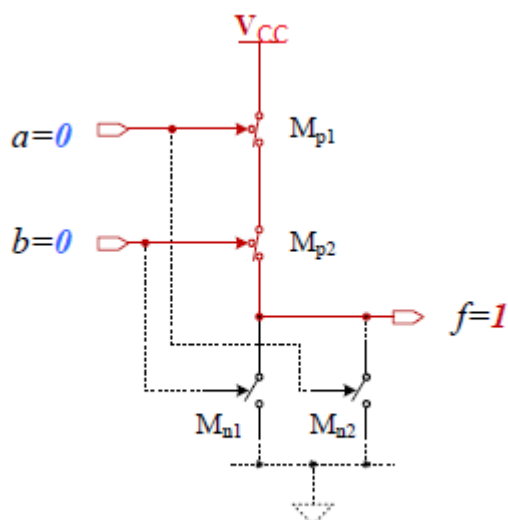
Figura 2. Schema electrică a porții NOR cu 2 intrări

Funcționarea porții NOR, în funcție de starea tranzistoarelor din figura de mai sus, este descrisă în tabelul de adevăr:

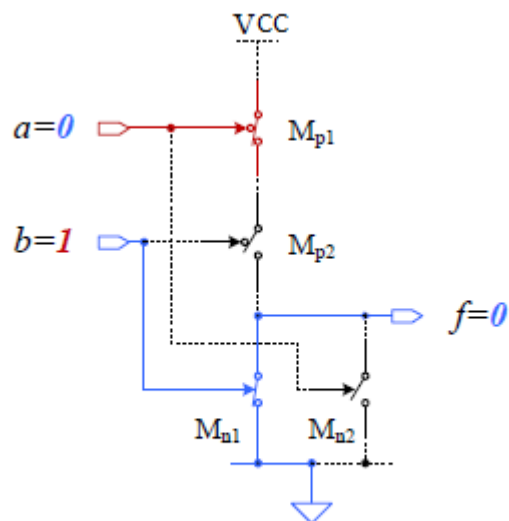
a	b	M_{p1}	M_{p2}	M_{n1}	M_{n2}	$f = \overline{a + b}$
0	0	on	on	off	off	0
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	1

Cele patru scheme echivalente de funcționare sunt:

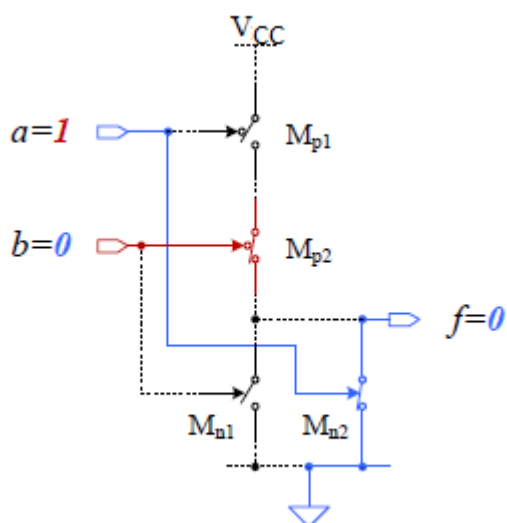
Cazul 1. $a = 0, b = 0$



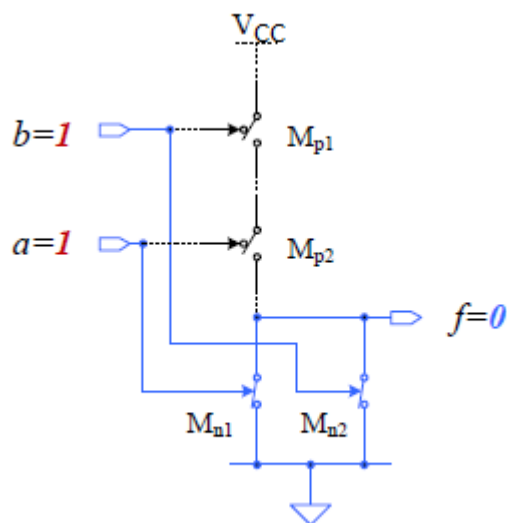
Cazul 2. $a = 0, b = 1$



Cazul 3. $a = 1, b = 0$



Cazul 4. $a = 1, b = 1$



5. Referințe bibliografice

[1] P.Farago, G.Csipkes, B.Kirei, S.Hintea, ”Descrierea în VHDL a sistemelor cu circuite integrate digitale – Îndrumător de proiectare și simulare”.

Corina.is7s.com